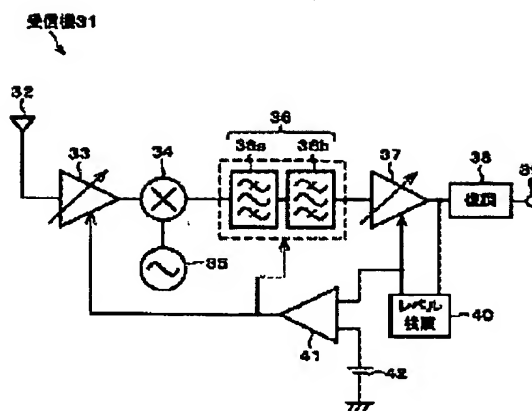


HIGH-FREQUENCY RECEIVER

Patent number: JP2002290178
Publication date: 2002-10-04
Inventor: NAKANO YOSHIKI
Applicant: SHARP CORP
Classification:
 - International: H03G3/20; H04B1/16; H04B1/713; H04L27/38
 - european:
Application number: JP20010086294 20010323
Priority number(s):

Abstract of JP2002290178

PROBLEM TO BE SOLVED: To provide a receiver 31 for enabling frequency conversion for operating an AGC operation at a high speed and to deal with a strong input in the case of performing the AGC operation for keeping an input signal level to a demodulating circuit 38 constant.
SOLUTION: Two stages of IF amplifiers 36 and 37 are arranged, so as to perform wave detection in the level of an IF signal from the IF amplifier 37 by a level detection circuit 40, the gain of the IF amplifier 37 is finely controlled by the wave detection output, and then, correspondence is promptly established to a very small level change, which occurs in a comparatively short time. In the meantime, a comparing circuit 41 compares the wave detection output with a reference level, and the gains of a high-frequency variable gain amplifier 33 and the IF amplifier 36 are controlled, in response to the comparison result. Then a large level change over a comparatively long time can be tracked, even if time delay occurs in control. Then the input signal level of each part is kept at a proper level without saturation.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-290178

(P2002-290178A)

(43) 公開日 平成14年10月4日 (2002.10.4)

(51) Int.Cl. ⁷	識別記号	F I	テームト [*] (参考)
H 0 3 G 3/20		H 0 3 G 3/20	E 5 J 1 0 0
H 0 4 B 1/16		H 0 4 B 1/16	R 5 K 0 0 4
1/713		H 0 4 J 13/00	E 5 K 0 2 2
H 0 4 L 27/38		H 0 4 L 27/00	G 5 K 0 6 1

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21) 出願番号 特願2001-86294(P2001-86294)

(22) 出願日 平成13年3月23日 (2001.3.23)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 中野 佳明

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100080034

弁理士 原 謙三

Fターム (参考) 5J100 JA01 KA05 LA00 LA04 LA09

5K004 AA08 JG01 JH03

5K022 EE01 EE31

5K061 AA11 CC08 CC23 CC25 CC52

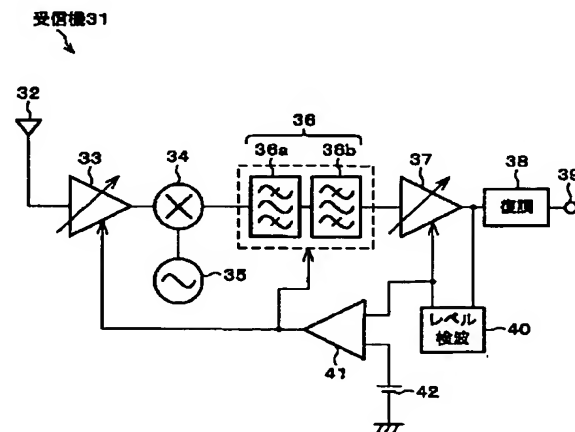
CD04

(54) 【発明の名称】 高周波受信装置

(57) 【要約】

【課題】 周波数変換を行う受信機31において、復調回路38への入力信号レベルを一定に保つAGC動作を行うにあたって、AGC動作を高速で行うことができるとともに、強入力にも対応可能とする。

【解決手段】 2段のIFアンプ36、37を設け、レベル検波回路40がIFアンプ37からのIF信号のレベルを検波し、その検波出力によってIFアンプ37の利得を精細に制御することで、比較的短時間で生じる微少なレベル変動に速やかに対応する。一方、比較回路41において、検波出力と基準レベルとを比較し、その比較結果に対応して高周波可変利得アンプ33およびIFアンプ36の利得を制御することで、制御に時間遅れが生じることになっても、比較的長時間で変化する大きなレベル変動には追従することができ、各部の入力信号レベルを飽和させることのない適正なレベルに維持することができる。



【特許請求の範囲】

【請求項 1】受信された高周波信号を中間周波信号に変換する周波数変換回路を備えた高周波受信装置において、

前記高周波信号を増幅する高周波可変利得アンプと、
前記中間周波信号を増幅する第 1 および第 2 の中間周波可変利得アンプと、

前記第 2 の中間周波可変利得アンプからの中間周波信号のレベルを検波し、その検波出力によって該第 2 の中間周波可変利得アンプの利得を制御する検波回路と、
前記検波回路の出力と予め定めるレベルとを比較し、その比較結果に対応して前記高周波可変利得アンプおよび第 1 の中間周波可変利得アンプの利得を制御する比較回路とを含むことを特徴とする高周波受信装置。

【請求項 2】前記第 1 の中間周波可変利得アンプは、中間周波信号成分のみを通過させる第 1 の帯域通過フィルタとしての機能を有することを特徴とする請求項 1 記載の高周波受信装置。

【請求項 3】前記第 2 の中間周波可変利得アンプの後段に、第 2 の帯域通過フィルタが設けられることを特徴とする請求項 2 記載の高周波受信装置。

【請求項 4】前記受信高周波信号は間欠的に送信されてくる信号であり、

前記比較回路から前記高周波可変利得アンプおよび第 1 の中間周波可変利得アンプへの出力が高利得側から低利得側に切り変わったときには、間欠受信による次の受信タイミングでのリセットまで、その状態を保持するラッチ回路をさらに備えることを特徴とする請求項 1～3 の何れかに記載の高周波受信装置。

【請求項 5】前記比較回路からの出力が切り変わったタイミングから少なくとも第 2 の中間周波可変利得アンプの出力が安定するまでの遅延時間を作成する遅延回路と、前記比較回路と前記高周波可変利得アンプのためのラッチ回路との間に介在され、前記遅延回路からの出力に回答し、比較回路からの出力が高利得側から低利得側に切り変わったタイミングから前記遅延時間を経過した時点でも切り変わったままであるときに、前記高周波可変利得アンプの利得を切り換える判定回路とをさらに備えることを特徴とする請求項 4 記載の高周波受信装置。

【請求項 6】前記比較回路から前記高周波可変利得アンプおよび第 1 の中間周波可変利得アンプへの信号を RSSI 信号として用いることを特徴とする請求項 5 記載の高周波受信装置。

【請求項 7】前記検波回路は、I/Q 信号の 2 乗和をアナログ演算することで検波を行うことを特徴とする請求項 1～6 の何れかに記載の高周波受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、TDMA（時分割多元接続）方式や周波数ホッピングによるスペクトラム

拡散方式等、時分割で送受信を行う高周波無線機に好適に実施され、復調回路への入力信号レベルを一定に保つための AGC（自動利得制御）回路を備える高周波受信装置に関する。

【0002】

【従来の技術】図 9 は、典型的な従来技術の受信機 1 の電氣的構成を示すブロック図である。この受信機 1 は、たとえば特開平 8-162865 号公報の一部分を表したものであり、アンテナ 2 で受信された信号は、高周波可変利得アンプ 3 で増幅された後、混合器 4 に与えられ、局部発振器 5 からの局部発振信号と混合されて中間周波信号に変換される。前記中間周波信号は、帯域通過フィルタ 6 において中間周波数成分が抽出され、IF アンプ 7 で増幅された後、復調回路 8 に入力され、復調された変調信号が出力端子 9 から出力される。

【0003】一方、前記 IF アンプ 7 からの中間周波信号はまた、RSSI（Receiving Signal Sensitivity Indicator）出力端子 10 から出力され、受信信号レベルの表示や空きチャネルの探索などに用いられるとともに、レベル検波回路 11 に入力される。レベル検波回路 11 は、中間周波信号のレベルに応じた直流電圧を前記高周波可変利得アンプ 3 に与える。したがって、アンテナ 2 への入力信号レベルが強くなると、IF アンプ 7 から出力される中間周波信号のレベルも大きくなり、レベル検波回路 11 から出力される直流電圧も変化し、前記高周波可変利得アンプ 3 の利得が下がる方向に制御される。これによって、混合器 4 および IF アンプ 7 への入力ダイナミックレンジが確保され、かつ IF アンプ 7 の出力信号レベルが一定に保たれるようになっている。

【0004】また、図 10 は、他の従来技術の受信機 2 の電氣的構成を示すブロック図であり、上述の受信機 1 に類似の構成には、同一の参照符号を付して、その説明を省略する。この受信機 2 1 では、高周波アンプ 2 3 は固定利得となり、代わりに IF 可変利得アンプ 2 7 が用いられ、前記レベル検波回路 11 からの中間周波信号のレベルに応じた直流電圧がこの IF 可変利得アンプ 2 7 に与えられる。したがって、アンテナ 2 への入力信号レベルが強くなると、該 IF 可変利得アンプ 2 7 から出力される中間周波信号のレベルも大きくなり、レベル検波回路 11 から出力される直流電圧も変化し、該 IF 可変利得アンプ 2 7 の利得が下がる方向に制御され、該 IF 可変利得アンプ 2 7 の出力信号レベルが一定に保たれるようになっている。

【0005】

【発明が解決しようとする課題】上述のように構成される受信機 1 では、レベル検波回路 11 からの直流電圧に対して、高周波可変利得アンプ 3、混合器 4 および帯域通過フィルタ 6 等の影響によって、IF アンプ 7 からの中間周波信号の振幅レベルが制御される迄に時間遅れが生じ、中間周波信号を速やかに復調回路 8 に適合した入

力信号レベルにすることができないという問題がある。特に、隣接チャンネル妨害等の干渉に対して、復調回路8への入力信号が厳しい仕様を満たさねばならない場合、帯域通過フィルタ6の次数が大きくなるので、この現象が顕著である。

【0006】同様に、上記の構成において、高周波可変利得アンプ3およびIFアンプ7に相当する構成の利得を制御するようにした特開平9-205332号公報では、復調出力から利得を制御する信号を作成しており、2段目の帯域通過フィルタ、2段目のIFアンプおよび復調回路による遅れの影響がある。

【0007】一方、受信機21では、IF可変利得アンプ27の利得制御には上述のような時間遅れによる影響を軽減することができるけれども、アンテナ2に強入力が増加した場合、高周波アンプ23で増幅された受信高周波信号は0dBm以上にまで大きくなり、混合器4を飽和させ、結果として復調された信号品質が劣化するという問題がある。

【0008】本発明の目的は、復調回路への入力信号レベルを一定に保つAGC動作を行うにあたって、AGC動作を高速で行うことができるとともに、強入力にも対応することができる高周波受信装置を提供することである。

【0009】

【課題を解決するための手段】本発明の高周波受信装置は、受信された高周波信号を中間周波信号に変換する周波数変換回路を備えた高周波受信装置において、前記高周波信号を増幅する高周波可変利得アンプと、前記中間周波信号を増幅する第1および第2の中間周波可変利得アンプと、前記第2の中間周波可変利得アンプからの中間周波信号のレベルを検波し、その検波出力によって該第2の中間周波可変利得アンプの利得を制御する検波回路と、前記検波回路の出力と予め定めるレベルとを比較し、その比較結果に対応して前記高周波可変利得アンプおよび第1の中間周波可変利得アンプの利得を制御する比較回路とを含むことを特徴とする。

【0010】上記の構成によれば、復調回路への入力信号レベルを一定に保つAGC動作を行う高周波受信装置において、検波回路からの出力によって、第2の中間周波可変利得アンプの利得は、その入力信号レベルに応じて精細に制御される。したがって、検出部分と被制御部分との間に他の回路が介在されておらず、比較的短時間で生じる微少なレベル変動に速やかに対応することができる。

【0011】一方、比較回路において、検波回路の出力と予め定めるレベルとを比較し、その比較結果に対応して前記高周波可変利得アンプおよび第1の中間周波可変利得アンプの利得を制御する。したがって、検出部分と被制御部分との間に、周波数変換のための混合器や中間周波フィルタ等の他の回路が介在され、制御に時間遅れ

が生じることになっても、比較的長時間で変化する大きなレベル変動には追従することができ、各部の入力信号レベルを飽和させることのない適正なレベルに維持することができる。

【0012】こうして、AGC動作を高速で行うことができるとともに、入力高周波信号に対するダイナミックレンジを広くすることもできる。また、中間周波フィルタの次数も高くすることができ、隣接チャンネルからの妨害に対しても強い受信装置を実現することができる。さらにまた、検波回路を1つしか使用しないので、低いコストおよび消費電力を実現することができる。

【0013】また、本発明の高周波受信装置では、前記第1の中間周波可変利得アンプは、中間周波信号成分のみを通過させる第1の帯域通過フィルタとしての機能を有することを特徴とする。

【0014】上記の構成によれば、第1の中間周波可変利得アンプと第1の帯域通過フィルタとを兼用し、回路規模を削減することができる。

【0015】さらにまた、本発明の高周波受信装置は、前記第2の中間周波可変利得アンプの後段に、第2の帯域通過フィルタが設けられることを特徴とする。

【0016】上記の構成によれば、隣接チャンネルの干渉を軽減する等のために、第1および第2の帯域通過フィルタをカスケード接続することで帯域外減衰量を多くする場合において、これら第1および第2の帯域通過フィルタ間に第2の中間周波可変利得アンプを配置することによって、フィルタによる時間遅れの影響を軽減し、高速にAGC動作を完了させることができる。

【0017】また、本発明の高周波受信装置は、前記受信高周波信号は間欠的に送信されてくる信号であり、前記比較回路から前記高周波可変利得アンプおよび第1の中間周波可変利得アンプへの出力が高利得側から低利得側に切り変わったときには、間欠受信による次の受信タイミングでのリセットまで、その状態を保持するラッチ回路をさらに備えることを特徴とする。

【0018】上記の構成によれば、第1の中間周波可変利得アンプへの入力信号が規定のレベル以上となった場合の利得制御に関し、間欠受信による短い受信時間内では、前記高周波可変利得アンプおよび第1の中間周波可変利得アンプで対応する比較的長時間で変化する大きなレベル変動の幅は小さく、一方、前記高周波可変利得アンプおよび第1の中間周波可変利得アンプの利得を低く切替えると、第2の中間周波可変利得アンプへの入力信号レベルが、前記の時間遅れを伴って低下することになるのに対応して、比較回路からの出力が一旦低利得側に切り変わった後は、そのまま維持する。したがって、不必要な切替わりによる受信ループ全体での大きな利得変動を抑制することができる。

【0019】さらにまた、本発明の高周波受信装置は、前記比較回路からの出力が切り変わったタイミングから少

10

20

30

40

50

なくとも第2の中間周波可変利得アンプの出力が安定するまでの遅延時間を作成する遅延回路と、前記比較回路と前記高周波可変利得アンプのためのラッチ回路との間に介在され、前記遅延回路からの出力に応答し、比較回路からの出力が高利得側から低利得側に切換わったタイミングから前記遅延時間を経過した時点でも切換わったままであるときに、前記高周波可変利得アンプの利得を切換える判定回路とをさらに備えることを特徴とする。

【0020】上記の構成によれば、比較回路からの出力が低利得側に切換わると、第1の中間周波可変利得アンプの利得は低利得側に切換えられ、ラッチ回路で前記リセットされるまで保持されるけれども、判定回路によって、高周波可変利得アンプの利得の切換えは禁止されている。そして、第2の中間周波可変利得アンプへの入力信号レベルが前記第1の中間周波可変利得アンプの利得低下によって低下することになるけれども、該第2の中間周波可変利得アンプの出力が安定した後に、判定回路によって、再び比較回路からの出力が判定され、依然として低利得側であるときに、高周波可変利得アンプの利得が低利得側に切換えられる。

【0021】したがって、第2の中間周波可変利得アンプ、第1の中間周波可変利得アンプおよび高周波可変利得アンプの3つのアンプの利得を、1つの検波回路からの出力に基づいて個別に切換え制御することができる。

【0022】また、本発明の高周波受信装置は、前記比較回路から前記高周波可変利得アンプおよび第1の中間周波可変利得アンプへの信号をRSSI信号として用いることを特徴とする。

【0023】上記の構成によれば、受信信号レベルの表示等のために用いられるRSSI信号として、比較回路から前記高周波可変利得アンプおよび第1の中間周波可変利得アンプへの信号をそのまま利用するので、回路を簡素化することができる。

【0024】たとえば、受信信号レベルが小さい場合、高周波可変利得アンプおよび第1の中間周波可変利得アンプの利得は、共に最大である。受信信号レベルが中程度の場合、高周波可変利得アンプの利得は最大で、第1の中間周波可変利得アンプの利得は最小である。受信信号レベルが大きい場合、高周波可変利得アンプおよび第1の中間周波可変利得アンプの利得は、共に最小である。以上のことから、高周波可変利得アンプおよび第1の中間周波可変利得アンプの前記最大値および最小値での利得をそれぞれ適切に決定し、前記最大値と最小値との2値で切換え制御する信号を設定することによって、その信号を見れば入力信号レベルがどのレベル範囲に入っているのかを検出することが可能となるので、RSSI信号として使用することが可能である。

【0025】さらにまた、本発明の高周波受信装置では、前記検波回路は、 I/Q 信号の2乗和をアナログ演算することで検波を行うことを特徴とする。

【0026】上記の構成によれば、検波回路の具体的な構成として、該検波回路への入力信号を I/Q 信号とし、ギルバートセル等の乗算器を用いて $I^2 + Q^2$ の演算を行うことで入力信号レベルに応じた直流電圧を得るようにすれば、整流用コンデンサ等で発生する検波遅延時間が無いので、高速でレベル検波を行い、第2の中間周波可変利得アンプの利得制御の応答速度を向上することができる。

【0027】

10 【発明の実施の形態】本発明の実施の第1の形態について、図1に基づいて説明すれば、以下のとおりである。

【0028】図1は、本発明の実施の第1の形態の受信機31の電気的構成を示すブロック図である。アンテナ32で受信された信号は、高周波可変利得アンプ33で増幅された後、混合器34に与えられ、局部発振器35からの局部発振信号と混合されて中間周波信号に変換される。前記中間周波信号は、帯域通過フィルタとしての機能を有する第1のIFアンプ36において中間周波数成分が抽出されるとともに増幅され、さらに第2のIFアンプ37で増幅された後、復調回路38に入力され、復調された変調信号（ベースバンド信号）が出力端子39から出力される。

【0029】一方、前記IFアンプ37からの中間周波信号はまた、レベル検波回路40に入力される。レベル検波回路40は、中間周波信号のレベルに応じた直流電圧を作成し、利得制御信号として前記IFアンプ37に負帰還する。したがって、IFアンプ37から出力される中間周波信号の微小変動に速やかに応答して、該IFアンプ37の利得が制御され、出力される中間周波信号のレベルが一定に保たれる。

【0030】前記レベル検波回路40の出力はまた、比較回路41の一方の入力に与えられる。この比較回路41の他方の入力には、基準電圧源42から、予め定める受信電界強度レベルに対応した基準電圧が入力されている。したがって、比較回路41は、アンテナ32への入力信号レベルが強くなり、レベル検波回路40の出力が基準電圧源42からの基準電圧を超えると、受信当初は最大利得に設定されている前記高周波可変利得アンプ33およびIFアンプ36に、利得を低下させるための直流電圧を作成し、利得制御信号として負帰還する。これによって、混合器34およびIFアンプ36、37等での遅延による応答遅れがあっても、比較的長時間で変化する大きなレベル変動に適応して高周波可変利得アンプ33およびIFアンプ36の利得を制御することができ、各部への入力信号レベルを飽和させることのない適正なレベルに維持することができ、かつIFアンプ37の出力信号レベルを一定に保つことができる。

【0031】こうして、AGC動作を高速で行うことができるとともに、入力高周波信号に対するダイナミックレンジを広くすることもできる。また、IFアンプ36

による帯域通過フィルタの次数も、参照符36aと参照符36bとで示すように高くすることができ、隣接チャンネルからの妨害に対しても強い受信機31を実現することができる。さらにまた、レベル検波回路40を1つしか使用しないので、低いコストおよび消費電力を実現することができる。

【0032】また、IFアンプ36に中間周波信号成分のみを通過させる帯域通過フィルタとしての機能を持たせるので、回路規模を削減することができるとともに、混合器34で生成される不要周波数を抑圧し、精度の高いAGCをかけることもできる。

【0033】本発明の実施の第2の形態について、図2に基づいて説明すれば、以下のとおりである。

【0034】図2は、本発明の実施の第2の形態の受信機51の電氣的構成を示すブロック図である。この受信機51は、上述の受信機31に類似し、対応する部分には同一の参照符号を付して、その説明を省略する。注目すべきは、この受信機51では、前記参照符36aと参照符36bとで示す帯域通過フィルタと同様に、2段のカスケード接続された帯域通過フィルタ56a、56bが設けられており、それらの間に第2のIFアンプ37が設けられていることである。すなわち、前記第2のIFアンプ37の後段に、第2の帯域通過フィルタ56bが設けられている。第1の帯域通過フィルタ56aは、前記IFアンプ36と同様に増幅機能を有し、その利得がレベル検波回路40からの直流電圧によって制御される。一方、帯域通過フィルタ56bは、固定の帯域通過特性となっている。

【0035】したがって、前記隣接チャンネルの干渉を軽減する等のために、2段の帯域通過フィルタ56a、56bをカスケード接続することで帯域外減衰量を多くする場合において、帯域通過フィルタ56a、56b間にIFアンプ37を配置することによって、帯域通過フィルタ56aによる時間遅れの影響を軽減し、高速にAGC動作を完了させることができる。

【0036】本発明の実施の第3の形態について、図3に基づいて説明すれば、以下のとおりである。

【0037】図3は、本発明の実施の第3の形態の受信機61の電氣的構成を示すブロック図である。この受信機61は、上述の受信機51に類似し、対応する部分には同一の参照符号を付して、その説明を省略する。注目すべきは、この受信機61では、比較回路41の出力から高周波可変利得アンプ33および帯域通過フィルタ56aまでの間に、ラッチ回路62、63がそれぞれ設けられていることである。

【0038】前記比較回路41からの利得制御信号は、受信当初は高周波可変利得アンプ33および帯域通過フィルタ56aの利得が最大利得となるように設定されている。一方、この受信機61はTDMA方式や周波数ホッピングによるスペクトラム拡散方式等、時分割で間欠

的に送信されてくる信号を受信する受信機であり、前記ラッチ回路62、63は受信タイミングとなる度にリセットされる。そして、前記比較回路41からの利得制御信号が、一旦高利得側から低利得側に切換わると、前記ラッチ回路62、63は次の受信タイミングでのリセットまで、その状態を保持する。

【0039】これは、前記間欠受信による短い受信時間内では、前記高周波可変利得アンプ33および帯域通過フィルタ56aで対応する比較的長時間で変化する大きなレベル変動の幅は小さく、一方、これら高周波可変利得アンプ33および帯域通過フィルタ56aの利得を低く切換えると、IFアンプ37への入力信号レベルが、前記混合器34や帯域通過フィルタ56aでの時間遅れを伴って低下することになるのに対応しており、比較回路41からの利得制御信号が一旦低利得側に切換わった後には、そのまま維持する。

【0040】すなわち、IFアンプ37への入力信号レベルが前記基準電圧源42で規定されたレベルより大きくなり、一旦高周波可変利得アンプ33および帯域通過フィルタ56aの利得を低く切換えると、次段階において該IFアンプ37への入力信号レベルが前記のレベルより小さくなることが予想され、小さくなると再度高周波可変利得アンプ33および帯域通過フィルタ56aの利得を高く切換え、初期状態に戻る。このようなハンチングを防止するために、比較回路41からの利得制御信号が一旦低利得側に切換わった後には、受信状態がリセットされない限り、ラッチ回路62、63で利得を下げる信号を保持し続ける。

【0041】これによって、不必要な切り換えりによる受信ループ全体での大きな利得変動を抑制し、回路動作の安定性を確保することができる。

【0042】本発明の実施の第4の形態について、図4に基づいて説明すれば、以下のとおりである。

【0043】図4は、本発明の実施の第4の形態の受信機71の電氣的構成を示すブロック図である。この受信機71は、上述の受信機61に類似している。注目すべきは、この受信機71では、比較回路41の出力からラッチ回路62までの間には、遅延回路72および判定回路73が設けられていることである。

【0044】前記遅延回路72は、前記比較回路41の出力が高利得側から低利得側に切換わったタイミングから、少なくともIFアンプ37の出力が安定する迄の時間だけ遅延する回路である。前記比較回路41の出力は、この遅延回路72を介するとともに、直接判定回路73に入力されている。判定回路73は、比較回路41の出力が高利得側から低利得側に切換わった時点では、高周波可変利得アンプ33の利得の切り換えを禁止している。

【0045】一方、前記比較回路41からの出力によって帯域通過フィルタ56aの利得が低利得側に切り換えら

れ、IFアンプ37の出力が安定しても、依然として比較回路41の出力が低利得側である場合には、ラッチ回路62を介して高周波可変利得アンプ33の利得を低利得側に切換える。

【0046】すなわち、IFアンプ37に規定レベル以上の信号が入力された場合、比較回路41の出力は初期状態から反転し、まず帯域通過フィルタ56aの利得を低下させる。こうして利得が低下したにも拘わらず、IFアンプ37への入力信号レベルが規定レベル以上あると、比較回路41の出力は反転状態を維持する。逆に帯域通過フィルタ56aの利得が低下することによってIFアンプ37への入力信号レベルが規定レベルより低くなると、比較回路41の出力は再度反転し、初期状態へ戻る。比較回路41の出力が前記遅延時間経過後において再度反転し初期状態に戻っている場合においては高周波可変利得アンプ33の利得を低下させず、前記遅延時間経過後においても反転出力を維持した状態にある場合において利得を低下させる。

【0047】このような制御を行うことによって、IFアンプ37、帯域通過フィルタ56aおよび高周波可変利得アンプ33の利得を、1つのレベル検波回路40からの出力に基づいて個別に制御することができる。

【0048】本発明の実施の第5の形態について、図5および図6に基づいて説明すれば、以下のとおりである。

【0049】図5は、本発明の実施の第5の形態の受信機81の電気的構成を示すブロック図である。この受信機81は、上述の受信機71に類似している。注目すべきは、ラッチ回路63からの出力を第1のRSSI信号としてRSSI出力端子82から出力し、ラッチ回路62からの出力を第2のRSSI信号としてRSSI出力端子83から出力することである。

【0050】以下の説明では、前記のレベル検波回路40からの出力ならびに第1および第2のRSSI信号がそれぞれハイレベルであるとき、前記IFアンプ37、帯域通過フィルタ56aおよび高周波可変利得アンプ33の利得が最小値となり、ローレベルであるとき、最大値となるものとする。IFアンプ37の利得の最小値は0dB以下であり、最大値は20dBであり、これらの最小値から最大値の間で、前記レベル検波回路40から出力される直流電圧に応じて連続で変化する。また、帯域通過フィルタ56aの利得の最小値は0dBであり、最大値は20dBであり、これらの最小値と最大値の間で、前記第1のRSSI信号に応じて切換わる。さらにまた、高周波可変利得アンプ33の利得の最小値は10dBであり、最大値は30dBであり、これらの最小値と最大値の間で、前記第2のRSSI信号に応じて切換わる。

【0051】レベル検波回路40は、IFアンプ37への入力信号レベルが-10dBmより大きければ該IF

アンプ37の利得を低下し、-10dBmより小さければ上昇し、常に該IFアンプ37の出力信号レベルが-10dBmになるような直流電圧を出力する。比較回路41は、前記レベル検波回路40から、IFアンプ37の利得が0dBより小さくなるような直流電圧が出力された場合に、ハイレベルを出力する。

【0052】したがって、たとえばアンテナ32での受信信号レベルが-60dBmより小さい場合について考えると、高周波可変利得アンプ33で30dB、帯域通過フィルタ56aで20dBであるので、IFアンプ37への入力信号レベルは-10dBmより小さい。故に該IFアンプ37の利得は0dB以上となるので、比較回路41の出力、すなわち第1のRSSI信号はローレベル、また判定回路73の出力、すなわち第2のRSSI信号もローレベルとなる。

【0053】また、アンテナ32での受信信号レベルが-60~-40dBmの場合、初期においては、高周波可変利得アンプ33で30dB、帯域通過フィルタ56aで20dBであるので、IFアンプ37への入力信号レベルは-10~+10dBmになる。故にIFアンプ37の利得は0dBより下がる。これによって、比較回路41の出力がハイレベルに変化し、帯域通過フィルタ56aの利得を0dBに低下する。この帯域通過フィルタ56aへの第1のRSSI信号はラッチ回路63でラッチされ、以降ハイレベルを保持する。こうして帯域通過フィルタ56aの利得が20dB低下すると、IFアンプ37への入力信号レベルは-30~-10dBmになり、レベル検波回路40の出力はIFアンプ37の利得を0dBより上げ、比較回路41の出力は再びローレベルへ戻る。前記の規定時間経過後、判定回路73は比較回路41の出力がローレベルに戻ったことを検出するので、該判定回路73の出力はローレベルのままで保持される。この結果、第1のRSSI信号はハイレベル、第2のRSSIはローレベルで安定する。

【0054】さらにまた、アンテナ32での受信信号レベルが-40dBm以上の場合（上限を-20dBmとする）、初期においては、高周波可変利得アンプ33で30dB、帯域通過フィルタ56aで20dBであるので、IFアンプ37への入力信号レベルは+10~+30dBmになる。故にIFアンプ37の利得は0dBより下がる。これによって、比較回路41の出力がハイレベルに変化し、帯域通過フィルタ56aの利得を0dBに低下する。この帯域通過フィルタ56aへの第1のRSSI信号はラッチ回路63でラッチされ、以降ハイレベルを保持する。こうして帯域通過フィルタ56aの利得が20dB低下しても、IFアンプ37への入力信号レベルは-10~+10dBmである。したがって、レベル検波回路40はIFアンプ37の利得を0dB以下とするので、比較回路41の出力はハイレベルのままで保持され、前記の規定時間経過後、判定回路73は比

較回路41の出力がハイレベルであることを検出し、該判定回路73の出力はハイレベルに切り替わり、ラッチ回路62でラッチされる。この結果、第1および第2のRSSI信号は、共にハイレベルで安定する。

【0055】以上の関係をグラフで示すと、図6のようになる。

【0056】以上のようにして、受信信号レベルが広範囲に変化しても、IFアンプ37、帯域通過フィルタ56aおよび高周波可変利得アンプ33の利得を個別に自動的に調節することが可能になる。また、前記IFアンプ37、帯域通過フィルタ56aおよび高周波可変利得アンプ33の利得の最大値および最小値を上記のように適切に設定し、前記最大値と最小値との2値で切換え制御する信号から、アンテナ32での受信信号レベルがどの範囲にあるのかを判断することができ、該信号をRSSI信号として用いるので、RSSI信号を作成するための回路を簡素化することができる。

【0057】本発明の実施の第6の形態について、図7および図8に基づいて説明すれば、以下のとおりである。

【0058】図7は、本発明の実施の第6の形態の受信機91の電気的構成を示すブロック図である。この受信機91は、上述の受信機81に類似し、対応する部分には同一の参照符号を付して、その説明を省略する。注目すべきは、この受信機91では、高周波可変利得アンプ93から受信高周波信号が差動で出力され、混合器94aでは局部発振器35からの直接の局部発振信号と混合され、混合器94bでは局部発振器35からの局部発振信号が移相器95で90°位相がシフトされた後、混合される。こうして得られたI成分およびQ成分の中間周波信号は、帯域通過フィルタ96a、IFアンプ97、帯域通過フィルタ96bを介して、復調回路98に入力*

*される。

【0059】前記IFアンプ97からの中間周波信号が入力されるレベル検波回路100は、図8で示すように構成される。このレベル検波回路100は、2組のギルバートセル101、102を備えて構成される。ギルバートセル101とギルバートセル102とは同様に構成されるので、以下ギルバートセル101について説明する。入力端子P11、P12間には入力電圧V1が、入力端子P21、P22間には入力電圧V2が、それぞれ入力されるものとする。

【0060】前記入力端子P21、P22はそれぞれ対を成すトランジスタQ1、Q2のベースに接続されており、これらのトランジスタQ1、Q2のエミッタは共通に定電流源103に接続されて、定電流IEEが引抜かれている。前記トランジスタQ1のコレクタ電流IC1は対を成すトランジスタQ3、Q4のエミッタから引抜かれ、トランジスタQ2のコレクタ電流IC2は対を成すトランジスタQ5、Q6のエミッタから引抜かれる。トランジスタQ3、Q4のベースは、それぞれ前記入力端子P11、P12に接続されており、トランジスタQ6、Q5のベースも、それぞれ前記入力端子P11、P12に接続されている。トランジスタQ3、Q5のコレクタ電流IC3、IC5は抵抗R1を介してハイレベルの電源から供給され、トランジスタQ4、Q6のコレクタ電流IC4、IC6は抵抗R2を介してハイレベルの電源Vccから供給される。こうして、差動の出力電流 $\Delta I1 = (IC3 + IC5) - (IC4 + IC6)$ が出力されることになる。

【0061】ここで、各コレクタ電流IC3～IC6を入力電圧V1、V2を用いて表すと、

【0062】

【数1】

$$IC3 = \frac{IEE}{\left[1 + \exp\left\{-\frac{V1}{VT}\right\}\right] \left[1 + \exp\left\{-\frac{V2}{VT}\right\}\right]}$$

$$IC4 = \frac{IEE}{\left[1 + \exp\left\{-\frac{V2}{VT}\right\}\right] \left[1 + \exp\left\{\frac{V1}{VT}\right\}\right]}$$

$$IC5 = \frac{IEE}{\left[1 + \exp\left\{\frac{V1}{VT}\right\}\right] \left[1 + \exp\left\{\frac{V2}{VT}\right\}\right]}$$

$$IC6 = \frac{IEE}{\left[1 + \exp\left\{\frac{V2}{VT}\right\}\right] \left[1 + \exp\left\{-\frac{V1}{VT}\right\}\right]}$$

【0063】となる。したがって、前記差動出力電流 $\Delta I1$ は、

【0064】

* * 【数2】

$$\Delta I1 = (I3 + I5) - (I4 + I6)$$

$$= IEE \left[\tanh \left\{ \frac{V1}{2VT} \right\} \right] \left[\tanh \left\{ \frac{V2}{2VT} \right\} \right]$$

【0065】となる。これをマクローリン展開し、 $V1, V2 \ll VT$ であれば、

【0066】

【数3】

$$\Delta I1 = IEE \left[\frac{V1}{2VT} \right] \left[\frac{V2}{2VT} \right]$$

【0067】と近似することができる。

【0068】すなわち、差動出力電流 $\Delta I1$ は、入力電圧 $V1$ と $V2$ との積で表される。したがって、 I 成分の信号を $A \sin \omega t$ とし、前記入力電圧 $V1, V2$ として入力すると、前記差動出力電流 $\Delta I1$ は $\alpha (A \sin \omega t)^2$ となり、前記 I 成分の信号の2乗となる。同様に、もう1つのギルバートセル102の入力端子P31、P32間の入力電圧 $V3$ および入力端子P41、P42間の入力電圧 $V4$ に、共に Q 成分の信号 $A \cos \omega t$ を入力すると、差動出力電流 $\Delta I2$ は $\alpha (A \cos \omega t)^2$ となり、前記 Q 成分の信号の2乗となる。

【0069】一方、抵抗 $R1, R2$ を流れる電流は、 $\pm (\Delta I1 + \Delta I2)$ であるので、 $\Delta I1 + \Delta I2 = \alpha (A \sin \omega t)^2 + \alpha (A \cos \omega t)^2 = 2\alpha A^2$ から、交流成分がなくなり、直流電流となる。したがって、出力端子P51、P52から出力される電圧は直流電圧となり、 $R1 = R2 = R$ とすると、出力端子P51、P52からは、

$$V_{cc} - R \cdot IEE + 2\alpha A^2$$

$$V_{cc} - R \cdot IEE - 2\alpha A^2$$

の電圧がそれぞれ出力されることになる。したがって、どちらの出力をとっても、または差動出力をみても、 I/Q 信号の振幅に応じた直流電圧が出力されることになる。

【0070】このようにして、該レベル検波回路100は、 I/Q 信号の2乗和をアナログ演算することで入力信号レベルに応じた直流電圧を作成するので、整流用コンデンサ等で発生する検波遅延時間が無く、高速でレベル検波を行い、IFアンプ97の利得制御の応答速度を向上することができる。

【0071】

【発明の効果】本発明の高周波受信装置は、以上のように、周波数変換回路を備えた高周波受信装置において、復調回路への入力信号レベルを一定に保つAGC動作を行うにあたって、中間周波可変利得アンプを2段設け、検波回路からの出力によって、第2の中間周波可変利得アンプの利得を、その入力信号レベルに応じて精細に制

御し、比較回路によって、検波回路の出力と予め定めるレベルとを比較し、その比較結果に対応して第1の中間周波可変利得アンプおよび高周波可変利得アンプの利得を制御する。

【0072】それゆえ、第2の中間周波可変利得アンプに関しては、検出部分と被制御部分との間に他の回路が介在されておらず、比較的短時間で生じる微小なレベル変動に速やかに対応することができる。また、第1の中間周波可変利得アンプおよび高周波可変利得アンプに関しては、検出部分と被制御部分との間に、周波数変換のための混合器や中間周波フィルタ等の他の回路が介在され、制御に時間遅れが生じることになっても、比較的長時間で変化する大きなレベル変動には追従することができ、各部の入力信号レベルを飽和させることのない適正なレベルに維持することができる。

【0073】こうして、AGC動作を高速で行うことができるとともに、入力高周波信号に対するダイナミックレンジを広くすることもできる。また、中間周波フィルタの次数も高くすることができ、隣接チャンネルからの妨害に対しても強い受信装置を実現することができる。さらにまた、検波回路を1つしか使用しないので、低いコストおよび消費電力を実現することができる。

【0074】また、本発明の高周波受信装置は、以上のように、前記第1の中間周波可変利得アンプを、中間周波信号成分のみを通過させる第1の帯域通過フィルタとして機能させる。

【0075】それゆえ、第1の中間周波可変利得アンプと第1の帯域通過フィルタとを兼用し、回路規模を削減することができる。

【0076】さらにまた、本発明の高周波受信装置は、以上のように、隣接チャンネルの干渉を軽減する等のために、第1および第2の帯域通過フィルタをカスケード接続することで帯域外減衰量を多くとる場合において、第1および第2の帯域通過フィルタ間に第2の中間周波可変利得アンプを配置する。

【0077】それゆえ、フィルタによる時間遅れの影響を軽減し、高速にAGC動作を完了させることができる。

【0078】また、本発明の高周波受信装置は、以上のように、受信高周波信号が間欠的に送信されてくる信号であり、間欠受信による短い受信時間内では、前記高周波可変利得アンプおよび第1の中間周波可変利得アンプで対応する比較的長時間で変化する大きなレベル変動の幅は小さく、一方、前記高周波可変利得アンプおよび第

10

20

30

40

50

1の中間周波可変利得アンプの利得を低く切換えると、第2の中間周波可変利得アンプへの入力信号レベルが、前記の時間遅れを伴って低下することになるのに対応して、比較回路からの出力が一旦低利得側に切替わった後には、ラッチ回路によってそのまま維持する。

【0079】それゆえ、不必要な切替わりによる受信ループ全体での大きな利得変動を抑制することができる。

【0080】さらにまた、本発明の高周波受信装置は、以上のように、比較回路からの出力が高利得側から低利得側に切替わったタイミングから少なくとも第2の中間周波可変利得アンプの出力が安定するまでの遅延時間を経過した時点でも切替わったままであるときに、前記高周波可変利得アンプの利得を切換える。

【0081】それゆえ、第2の中間周波可変利得アンプ、第1の中間周波可変利得アンプおよび高周波可変利得アンプの3つのアンプの利得を、1つの検波回路からの出力に基づいて個別に切換え制御することができる。

【0082】また、本発明の高周波受信装置は、以上のように、受信信号レベルの表示等のために用いられるRSSI信号として、比較回路から前記高周波可変利得アンプおよび第1の中間周波可変利得アンプへの信号をそのまま利用する。

【0083】それゆえ、回路を簡素化することができる。

【0084】さらにまた、本発明の高周波受信装置は、以上のように、前記検波回路が、I/Q信号の2乗和をアナログ演算することで検波を行う。

【0085】それゆえ、整流用コンデンサ等で発生する検波遅延時間が無いので、高速でレベル検波を行い、第2の中間周波可変利得アンプの利得制御の応答速度を向上することができる。

【図面の簡単な説明】

【図1】本発明の実施の第1の形態の受信機の電氣的構成を示すブロック図である。

【図2】本発明の実施の第2の形態の受信機の電氣的構成を示すブロック図である。

【図3】本発明の実施の第3の形態の受信機の電氣的構

成を示すブロック図である。

【図4】本発明の実施の第4の形態の受信機の電氣的構成を示すブロック図である。

【図5】本発明の実施の第5の形態の受信機の電氣的構成を示すブロック図である。

【図6】図5で示す受信機の利得制御動作を説明するためのグラフである。

【図7】本発明の実施の第6の形態の受信機の電氣的構成を示すブロック図である。

10 【図8】図7で示す受信機におけるレベル検波回路の一構成例を示す電気回路図である。

【図9】典型的な従来技術の受信機の電氣的構成を示すブロック図である。

【図10】他の従来技術の受信機の電氣的構成を示すブロック図である。

【符号の説明】

31, 51, 61, 71, 81, 91 受信機（高周波受信装置）

32 アンテナ

20 33, 93 高周波可変利得アンプ

34; 94a, 94b 混合器（周波数変換回路）

35 局部発振器（周波数変換回路）

36 IFアンプ（第1の中間周波可変利得アンプ）

36a, 56a, 96a 第1の帯域通過フィルタ

36b, 56b, 96b 第2の帯域通過フィルタ

37, 97 IFアンプ（第2の中間周波可変利得アンプ）

38, 98 復調回路

40, 100 レベル検波回路

30 41 比較回路

42 基準電圧源

62, 63 ラッチ回路

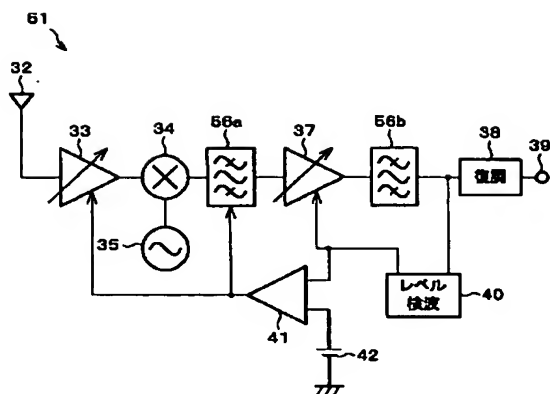
72 遅延回路

73 判定回路

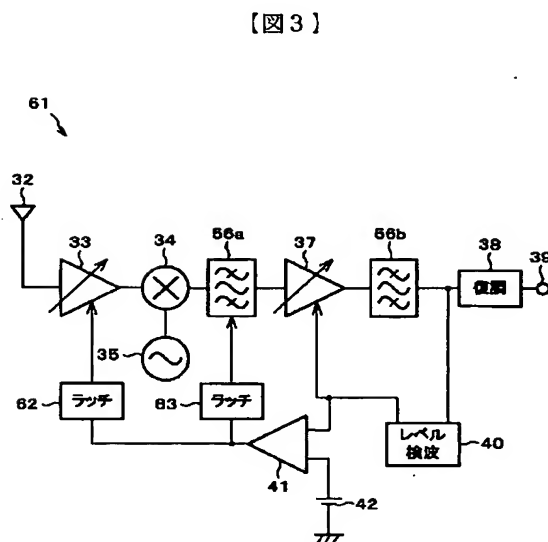
81, 82 RSSI出力端子

95 移相器

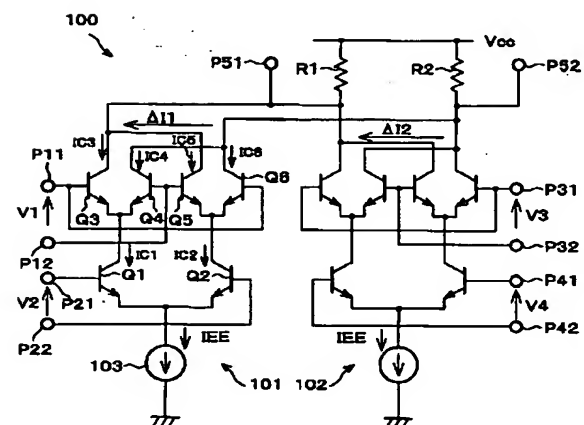
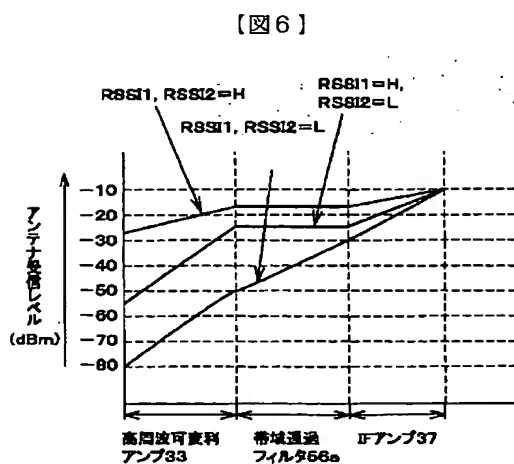
【図2】



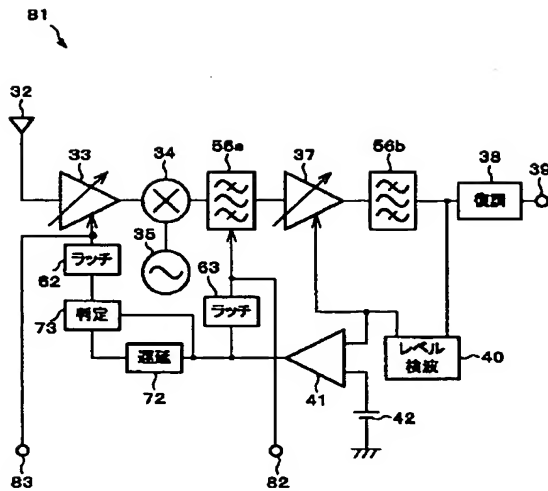
【圖 4】



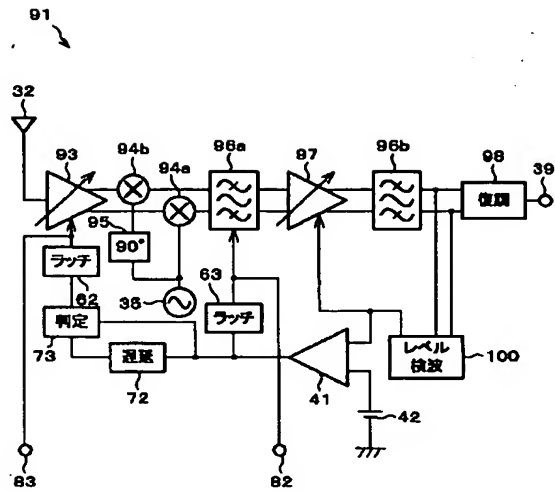
【図8】



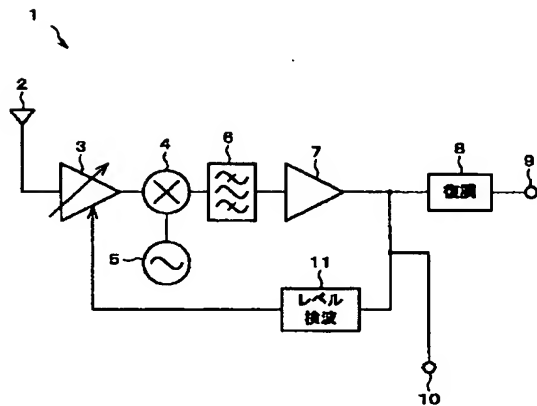
【図5】



【圖7】



【図9】



【圖 10】

